# SEMICONDUCTOR ELEMENT, SEMICONDUCTOR DEVICE, AND MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP2001077049 Publication date: 2001-03-23

Publication date: 2001-03-23

SAKURAI MASAHIKO; ARAKI KOJI; MATSUZAKI TAKASHI: TAKAYAMA SHINICHI: WADA ISAMU:

KAMEBUCHI TAKESHI; YAMAMOTO MANABU

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification: - International:

H01L21/52; H01L21/28; H01L21/02; (IPC1-7):

H01L21/28

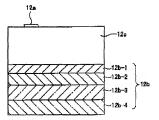
- European:

Application number: JP19990251908 19990906 Priority number(s): JP19990251908 19990906

Report a data error here

#### Abstract of JP2001077049

PROBLEM TO BE SOLVED: To improve the electric characteristics of a rear-surface electrode structure by sequentially laminating a vanadium or titanium metal laver, nickel or nickel alloy layer, metal germanium antimony alloy layer, and gold tin alloy layer which is the outermost surface to form an electrode on the rear-surface side. SOLUTION: An electrode is formed on both front and rear surfaces of a sllicon substrate 12c. A surface electrode 12a is, for example, an aluminum electrode while a rear surface electrode 12b comprises a first metal laver 12b-1 of vanadium or titanium, a second metal layer 12b-2 of nickel or nickel alloy which is laminated on the first metal layer 12b-1, a third metal layer 12b-3 of gold germanium antimony alloy which is laminated on the second metal layer 12b-2, and a fourth metal layer 12b-4 of gold thin alloy which is laminated on the third metal layer 12b-3. Here, the metal thin alloy layer of the fourth metal layer 12b-4 is the outermost side electrode.



Data supplied from the esp@cenet database - Worldwide

#### (19) 日本国特許庁 (JP)

# 四公開特許公報(A)

(11)特許出願公開番号

特開2001-77049 (P2001-77049A)

(43)公開日 平成13年3月23日(2001.3.23)

(51) Int.Cl.7	識別記号	ΡΙ	テーマコード(参考)
H01L 21/28	301	H01L 21/28	301R 4M104
21/52		21/52	B 5F047

# 審査請求 未請求 請求項の数4 OL (全 7 頁)

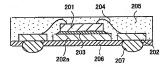
(21)出顧番号	特顯平11-251908	(71) 出願人	000003078
			株式会社東芝
(22) 占城日	平成11年9月6日(1999.9.6)		神奈川県川崎市幸区堀川町72番地
		(72)発明者	櫻井 正彦
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝マイクロエレクトロニクスセン
			ター内
		(72)発明者	荒木 浩二
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝マイクロエレクトロニクスセン
			ター内
		(74)代理人	100083806
			弁理士 三好 秀和 (外7名)
			最終頁に続く

### (54) 【発明の名称】 半導体案子、半導体装置、及び半導体装置の製造方法

(57)【要約】

【課題】 良好な電気特性を有すると共に、超小型及び 耐熱性に優れた半導体装置を提供する。

【解決手段】 表面に形成された回路パターンがスルーホールを介して裏面の外部電極に接続されたセラミック ス製回路基板と、表裏両面に電極が形成された半等体素子とを有し、前記セラミックス製回路基板の表面に形成された前記回路パターンの赤子搭載部上に前記半等体素子がその裏面電極を介して接合されると共に、前記回路パターンのボンディング部が前記半導体素子の表面電極と金属細線を介して接合された半導体素子の表面電極に、表面周の酸化防止作用を有し且つ前記回路パターンの は、表面周の酸化防止作用を有し且つ前記金属細線と素子の裏面電極の電極風外面底の、前記半導体素子の東面電極の電極風外面底、前記金属メッキ層が販され、前記半導体素子の裏面電極の電極風外面に、前記金属メッキ層が放き個上するための低減合金層を形成した。



# 【特許請求の範囲】

【請求項1】 シリコン基板の表裏両面に電極が形成された半導体素子において、

#### 前記裏面側の電極は、

前記シリコン基板の裏面に形成されたパナジウム又はチ タニカムの第1金属層と、前記第1金属層と概見被答さ れたニッケル又はニッケル合金の第2金属層と、前記第 2金属層に概層被著された金・ゲルマニウム・アンチモ ン合金の第3金属層と、前記第3金属層に積層被若された金・線合金の第4金属層と覆層を有し、前記第3金属層を 電極展外面とする構造としたことを特徴とする半導体素 子。

【請求項2】 表面に形成された回路パターンがスルーホールを介して裏面の外部電極に接続されたセラミック ス製回路接接と、シリコン差板の表裏両面に電極が形成 された半導体素子とを有し、前配セラミックス製回路基 板の表面に形成された前近四路パターンの素子指載部上 に前配半端体券がその裏面で越を介して接合された 共に、前配四路パターンのボンディング部が前記半導体 素子の表面電極と金属組織を介して接合された半導体装 着であって、

前記セラミックス製回路基板表面上の前記回路パターン 面には、表面層の酸化防止作用を有し且つ前記金属細線 と高密着性を持する金属メッキ層が形成され、前記半導 体素子の裏面電極の電極長外面に、前記金属メッキ層の 異常拡散を阻止するための低観点合金層を形成したこと を特徴とする半端体装置。

# 【請求項3】 前記半導体素子の前記裏面電極は、

[請求項4] 表側には同一回路パターンを規則的に模 数個形成し且つ裏側には表側の前記回路パターンにスル ルホールを介して接続された電極を規則的に複数個形成 したセラミックス製回路基板に、請求項1記載の半導体 業子を適元性又は不活性雰囲気下の第1の過度で第1の 時間に買り複数個配置し、

その後に前記複数個の半導体素子を配置したセラミック ス製回路基板を前記第1の温度よりも高い第2の温度で 第1の時間よりも短い第2の時間に亘り加熱し、

前記セラミックス製回路基板における前記回路パターン の内部電極と前記半導体素子の表面電極とを金属細線で 接続し、

前記複数個の半導体素子が配置され金属細線で接続され たセラミックス製回路基板の前記回路パターン形成面全 体を樹脂で封止し、これを個々の半導体装置に分割した ことを特徴とする半導体装置の製造方法。

# 【発明の詳細な説明】

#### [0001]

【発明の属する技術分野】本発明は、裏面電極を有する 半導体素子、この半導体素子を搭載した半導体装置、及 び前記半導体装置の製造方法に関する。

#### [0002]

【従来の技術】従来、ダイオードやトランジスタ等の個 別半導体装置としては、例えば図6に示すようなものが あった。

【0003】図6(a),(b)は、従来の小信号トランジスタの構造を示す図であり、同図(a)はその平面図、同図(b)は断面図である。

【0004】同図に示すように、この半導体装置は、表 面電極102と裏面電極103を有する半導体素子10 が、リードフレーム104の素子者鉄部104をに裏 面電極103を介して固定されている。さらに、半導体 条子101の表面電極102とリードフレーム104の インナーリード104bとの間がAuやCu等の高角 線105で接続されて、これら全体がエポキシ等の高分 子樹脂106で封止され、リードフレーム104のアウ ターリード104cが所定の形状に整形・切断された構 過を成している。

【0005】半導体素子101の裏面電極103は、バナジウム又はチタニウムと、ニッケル又はニッケル会。 と、金・ゲルマニウム・アンチモン合金とから成る。この半導体業子101を、リードフレーム104の素子格 載部104 aに還元性雰囲気下の高温(390℃程度) で配置し、半導体素子101の表面電極102とリードフレーム104のインナーリード104bとの間をAu やCu等つ金属細線105で接続する。

【0006】しかる後に、これら全体をエポキシ等の高 分子樹脂106で封止し、リードフレーム104のアウ ターリード104cに半田メッキや半田ディップ等の外 装処理を施し、所定の形状に整形・切断して、上記構造 の半導体装置を得ている。

#### [0007]

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置では、半導体装置の信頼性(生に耐湿 性)を維持さためた、リードフレーム10 4のインナーリード10 4 bに屈曲部10 4 dを設ける必要がある こと、リードフレーム10 4 の加工限界からインナーリード10 4 bと素子搭載第10 4 aとの間隔をはぼリードフレーム10 4 の地工限子からインナーリードフレーム10 4 b度 と同等以下にはできないこと、さらにアウターリード10 4 c を有すること等の理由により、パッケージの超小型化を実現することができなかった。

【0008】そこで、半導体装置の小型化を図る観点から、図7に示すような構造が特開平9-275178号

公報に開示されている。

【0009】図7に示す半導体装置は、金属導体層20 2の索子接触部202aに接着利層203によって固着 された半導体素子201と、該半導体素子201に金属 細線204によって接続した金属導体層202とを樹脂 205で封止し、その一面に金属導体層202の一部が 露出するように絶縁レジスト層206を形成する。そし て、露出した金属導体層202(突起状の外部接続端子 207を設けるようにとものである。

【0010】確かに本公報の構造であれば、リードコレームを使用しないため、パッケージから突出した外部リード端子を持たない相違となり、しかもデザインルールの微細化が可能であり、装置の総小型化を図ることができる。しかし、本公報に開示された構造は、半導体素子してしまり等の集積回路ケッアを前提しており、上記図6で説明した裏面電極を有する個別半導体装置に単純に適用することはできない、例えば、上配公報の装置では、金鳳導体間202の素子搭載部202とに手線ベストを用いているが、これを個別半導体装置の裏面電低に使用した場合にはオーミック特性が悪化する等の問題が発生する。

【0011】また、リードフレームを使用せずに、スルーホール型の内部配線層を有するセラミックス基板をパッケージ本体として、その上面に半導体素子を指載すことで、装置の小型化を図る構造も開示されている(例えば、特開平10-242322号公報)。この構造も、上配同様の理由で、裏面電極を有する個別半導体装置に単純に適用することはできない。

[0012] 本発明は、上述の如き従来の問題点を解決 するためになされたもので、その目的は、良好な電気特 性を保つような裏面電極構造を有する半導体素子を提供 することである。またその他の目的は、前記半導体素子 若織して良好な電気特性を有すると共に、超小型及び 耐熱性に優れた半導体装置を提供することである。

#### [0013]

【課題を探するための手段】上記目的を達成するため に、請求項」記載の発別に係る半導体素子では、シリコ と基板の表裏両面に電極が形成された半導体素子では、シリコ と表板の表面面に電極が形成された半導体素子におい 成されたパナジウム又はチタニウムの第1金属層と、前 配第1金属層に積層被音されたニッケル又はニッケル合 金の第2金属層と、前配第2金属層に積層被音された金 ・ゲルマニウム・アンチモン合金の第3金属層と、前配 第3金属層に精層被音された金・総合金の第4金属層と を有し、前配第4金属層を電極飛り面とする構造とした ことを特徴とする。

【0014】請求項2記載の発明に係る半導体装置では、表面に形成された回路パターンがスルーホールを介して裏面の外部電極に接続されたセラミックス製回路基

板と、シリコン基板の表集両面に電極が形成された半導 体素子とを有し、前記セラミックス製回路基板の表出 形成された前記回路パターンの素子積線部上に前記半導 体素子がその裏面電極を介して接合されると共に、前記 回路パターンのポンディング部が前記半導体素子の表面 電極と金属鍵を介して複合された半導体業であっ

て、前記セラミックス製回路基板表面上の前記回路パターン面には、表面層の酸化防止作用を有し且つ前記金属 細線と高密着性を有する金属メッキ層が形成され、前記 半導体業子の裏面電極の電極最外面に、前記金属メッキ 層の異常拡散を阻止するための低触点合金層を形成した ことを特徴とする。

[0015]請求項3記載の発明に係る半導体装置で は、請求項2記載の半導体装置において、前記半導体素 子の前記東面電極は、前記シリコン基板の薬庫に形成さ れたパナジウム又はチタニウムの第1金属層と、前記第 1金属層に積層被着されたニッケル又はニッケル合金の 加大ニッケルで、一般では一般である。 地の一般では一般である。 は、一般では一般である。 は、前記第4金属層を、前記係数とを有し、前記第4金属層を、前記係数 と、前記第4金属層を前記低拠点合金層とする構造であることを特徴とする。

【0016】 請求項4記載の発明に係る半導体装置の製造方法では、表側には同一回路パターンを規則的に複数個形成し且つ裏側には表側の前記回路パターンとスルーホールを介して接続されて電を規則的に複数配形成したセラミックス製回路基板に、請求項1記載の半導体素子を遺元性又は不活性雰囲気下の第1の温度で第1の時間に直り複数個配置し、その後に前記複数個の半導体素子を配置したセラミックス製回路基板を前配第1の温度よりも高い第2の温度で第1の時間よりも短い第2の時間に互り加索し、前記七ラミックス製回路基板における前記回路がとつ必购部電極と前記半導体素子の表面電極とを金展網線で接続し、前記複数個の半準体素子が配置され金属網線で接続し、前記複数個の半準体素子が配置され金属網線で接続し、前記複数個の半率体素子が配置され金属網線で接続し、前記複数個の半率体素子が配置される無網線で接続し、前記を外を例かまない。

#### [0017]

【発明の実施の形態】以下、本発明の実施の形態を図面 に基づいて説明する。

【0018】図1(a),(b)は、本発明の実施の一 形態に係る半導体装置の構造図であり、同図(a)はその側面図、同図(b)断面図である。

【0019】この半導体装置は、例えば1個の小信号トランジスタを搭載したパッケージで構成されるものであり、トランジスタ搭載用のセラミックス製回路基板11を備えている。

【0020】セラミックス製回路基板11の表面には、 搭載する半導体素子(トランジスタ)12に対応した回路パターン(素子搭載部13a及び内部電極13b)が 形成され、その回路形成面と反対の基板裏面には、スル ーホール14を介して外部電極150表面には、スル 回路パターンの近外部電極150表面には、ニッケル (N1)メッキと金(Au)メッキが施されている。こ の金メッキを設けることにより、表面のニッケル層の酸 性が防止できると共に、後述する金属細線16との密着 性が良好となる。

【0021】セラミックス製回路基板11に搭載される 半導体素子12は、図2に示すように、シリコン(S i)基板12cの表裏両面に電極が形成され、その表面 電極12aは例えばアルミ(A1)電極であり、裏面電 極12bは次のような構造を成している。

【0022】即ち、裏面電極12bは、バナジウム

(V) Xはキケニウム (Ti) の第1金属層12b-1 と、この第1金属層12b-1に積層被蓄されたニッケル(Ni) Xはニッケル合金の第2金属層12b-2 と、第2金属層12b-2に積層被着された金(Au) ・ゲルマニウム(Ge)・アンチモン(Sb)合金の第 着された金(Au)・錫(Sn)合金の第4金属層12b-4とで積板され、第4金属層12b-4の金・錫合金層 (本港門の特徴部)が電極影片面とな精造となっている。ここで、各金属層の厚さは、例えば、第1金属層12b-1が500-800人、第2延属層12b-2が1000~3000人、第3及び第4金属層12b-2が1000~3000人、第3及び第4金属層12b-3,12b-4が10000~20000人に設定されている。

[0023]さらに、前記セラミックス製回除基板11 の表面に形成された回路パターンの素子搭載部13 a上 に半導体素子12がその裏面電板12 bを介して共品接 合されると共に、前記回路パターンの内部電板13 bが 半導体素子12の表面電板12 aと金属網線16を介し て接合されている。そして、これら含合んだセラミック ス製回路基板11の内部回路形成面全体が、マスク印刷 法やトランスファーモールド法等によりエボキシ等の高 分子樹脂17で封止されている。

【0024】次に、上記構造の半導体装置の製造方法を、図3(a),(b),(c)と図4(d),(e)の工程図を参照しつつ説明する。

【0025】先ず、同一回路パターンを多数形成したセラミックス製回路基板 11を用意する (図3(a))。 泉木的に説明すると、セラミックス製回路基板 11 は、 図5(a),(b)の平面図に示すが如くマトリックス 状に区分された多数のパッケージ領域を有し、その表面 には、図5(a)に示すように、搭載する半導体素子1 2(本実施形態ではトラシジスタ)の電極に対応した回 路パターンが形成されている。即ち、図5(a)中の1 3 aは、例えばコレクタ電格を裏面電極12bに有する トランジスタを搭載する素子指載部であり、13bは表 面電極(ベース電板/エミッタ電板)用のパターンであ る。

【0026】一方、セラミックス製回路基板11の裏面 には、図3(a)に示すように、前記表面上の回路パラ ーンにスルーホール14を介して接続された外部電極1 5が形成されている。尚、回路パターン及び外部電極1 5の表面にはエッケルメッキと金メッキが施されてい

【0027】続く工程(図3(b))では、半等体素子 12をセラミックス製回路基板11の素子搭輸業13a にマウントする。具体的には、前途したようにパナジウ 入取はチタニウムと、ニッケル又はニッケル合金と、金 ・ゲルマニウム・アンチモン合金と、金・錫合金からな る裏面電極12bとを有する半導体素子12を順次1つ ずつ、それぞれセラミック2脚四路基板11の各案子搭 載部13aに還元性又は不溶性雰囲気下の300~35 0℃で配置し、各半導体素子12の裏面電極12bとセ ラミックへ回路基板11の素子搭載部13aとの結合を 行う。

【0028】従来構造の半導体装置では、半導体素子1 2を380~450℃で配置するが、このとき、多数の 半導体素子12をセラミックス製回路基板11に配置す るのに要する時間は、配置する半導体素子12の個数に より増大するが、最初に配置した半導体素子12と最後 に配置した半導体素子12では、380~450℃の温 度にさらされている時間に大きな差が生じてくる。初め の方で配置した半導体素子12は、長時間に亘って30 0~350℃の温度にさらされることになり、その結 果、セラミックス製回路基板11の回路パターン表面に 施された金メッキが半導体素子12の裏面電極12bに 対して過多な拡散を起こし、当該半導体素子12の電気 特性を劣化させる可能性がある。これを防止するため に、本実施形態では、半導体素子12の裏面電極12b の最外面に比較的融点の低い金・場合金 (第4金属層1 2b-4)を配し、従来に比べて比較的低温度の300 ~350℃での配置を可能にしている。

【0029】この段階では、裏面電極12b中のアンチ モンのシリコンへの拡散が起こらず、半導体素子12の 電気特性は不十分であるが、この後に、多数の半導体素 子12を配置したセラミックス製回路基板11を360 ~400で短時間の加熱を行うことにより、裏面電極 12b中のアンチモンがシリコンへ拡散し、半導体素子 12の電気特性を向上させることができる。

【0030】しかる後に、半導体素子120表面電極1 2aとセラミックス製回路基板11の内部電極13bを 金風舞舗線16で接続し【図3(c))、更にこれりを 含んだセラミックス製回路基板11の内部回路形成面全 体を、マスク印刷法やトランスファーモールド法等によ りエポキシ等の高分子樹脂17で封止する(図4 (d))。

【0031】さらに、この状態の生成体をブレードダイ

形成され、その回路形成面と反対の基板裏面には、スルーホール14を介して外部電極15が限けられている。 回路パターン及び外部電極15が販力を表面には、エッケル (Ni)メッキと金(Au)メッキが施されている。こ の金メッキを設けることにより、表面のニッケル層の酸 化が防止できると共に、後述する金属細線16との密着 性が良好となる。

【0021】セラミックス製回路基板11に搭載される 半導体業子12は、図2に示すように、シリコン(S i) 基板12cの表裏両面に電極が形成され、その表面 電極12aは例えばアルミ(A1)電極であり、裏面電 紙12bは次のような機管を使している。

【0022】即ち、裏面電極12bは、バナジウム

(V) 又はナチニウム (Ti) の第1全属層12b-1 と、この第1金属層12b-1に積層放着されたニッケ ル(Ni) 又はニッケル合金の第2金属層12b-2 と、第2金属層12b-2に積層放着された金(Au) ・ゲルマニウム (Ge)・アンチモン (Sb) 合金の第 着された金(Au)・錫(Sn)合金の第4金属層12b-4とで構成され、第4金属層12b-4の金・錫合 金層 (本売明の特徴部分)が電板最外面とな構造をなっている。ここで、各金属層の厚さは、例えば、第1な 属層12b-1が500-800人、第2成層12b-2が1000~3000人、第3及び第4金属層12b-2が1000~3000人、第3及び第4金属層12b-2が1000~3000人、第3及び第4金属層12b-3、12b-4が10000~20000人に設定されている。

[0023] さらに、前記セラミックス嬰同階基板11 の表面に形成された回路パターンの素子搭載部13 a上 に半導体素子12がその裏面電低120を介して共晶接合されると共に、前記回路パターンの内部電極136が半導体素子12の表面電極12aと金属細線16を介して接合されている。そして、たれら含んだセラミックス製回路基板11の内部回路形成面全体が、マスク印刷法やトランスファーモールド法等によりエポキシ等の高分子樹脂17で射止されている

【0024】次に、上記構造の半導体装置の製造方法を、図3(a),(b),(c)と図4(d),(e)の工程図を参照しつつ説明する。

【0025】先ず、同一回路パターンを多数形成したセラミックス製回路基板11を用意する【図3(a)】は 見味的に説明すると、セラミックス製回路基板11は、 図5(a)、(b)の平面図に示すが如くマトリックス 状に区分された多数のパッケージ領域を有し、その表面 には、図5(a)に示すように、搭載する半導体素子1 2(本実施形態ではトランジスタ)の電極と対応した回 路パターンが形成されている。即ち、図5(a)中の1 3aは、例えばコレクタ電極を裏面電極12bに有する トランジスタを搭載する素子指載節であり、13bは表 面電極(ベース電極/エミッタ電版)用のパターンであ Ζ.

【0026】一方、セラミックス製回部基板11の裏面 には、図3(a)に示すように、前記表面上の回路パタ ーンにスルーホール14を介して接続された外部電極1 5が形成されている。尚、回路パターン及び外部電極1 5の表面にはニッケルメッキと金メッキが雑されている。

【0027】続く工程(図3(b))では、半導体素子 12をセラミックス製回席基板11の素子精齢部13a にマウントする。具体的には、前途したようにバナジウ 入びはチタニウムと、ニッケル又はニッケル合金と、金・ゲルマニウム・アンチモン合金と、金・錫合金からなる裏面電海12bとを有する半導体素子12を順次1つ ずつ、それぞれセラミックス製回路基板11の各素子搭 載部13aに還元性又は下途性雰囲気下の300~35 0℃で配置し、各半導体素子12の裏面電極12bとセ ラミックへ回路基板11の素子搭載部13aとの結合を 行う。

【0028】従来構造の半導体装置では、半導体素子1 2を380~450℃で配置するが、このとき、多数の 半導体素子12をセラミックス製回路基板11に配置す るのに要する時間は、配置する半導体素子12の個数に より増大するが、最初に配置した半導体素子12と最後 に配置した半導体素子12では、380~450℃の温 度にさらされている時間に大きな差が生じてくる。初め の方で配置した半導体素子12は、長時間に亘って30 0~350℃の温度にさらされることになり、その結 果、セラミックス製回路基板11の回路パターン表面に 施された金メッキが半導体素子12の裏面電極12bに 対して過多な拡散を起こし、当該半導体素子12の電気 特性を劣化させる可能性がある。これを防止するため に、本実施形態では、半導体素子12の裏面電極12b の最外面に比較的融点の低い金・錫合金(第4金属層1 2b-4)を配し、従来に比べて比較的低温度の300 ~350℃での配置を可能にしている。

【0029】この段階では、裏面電極12b中のアンチ モンのシリコンへの拡散が起こらず、半導体業子12の 電気特性は千分であるが、この後に、多数の半導体素 子12を配置したセラミックス製回路基板11を360 ~400で「短時間の加熱を行うことにより、裏面電極 12b中のアンチモンがシリコンへ拡散し、半導体素子 12の電気特性を向上させることができる。

【0030】しかる後に、半導体素子120表面電極1 2aとセラミックス製回路基板11の内部電極13bと を血震翻線16で接続し【図3(c))、更にこれらを 含んだセラミックス製回路基板11の内部回路形成面全 体を、マスタ印刷法やトランスファーモールド法等によ りエボキン等の高分子樹脂17で封止する(図4 (d))。

【0031】さらに、この状態の生成体をブレードダイ

シング法を用いて個々の半導体装置に分割すれば(図4 (e))、図1に示した構造の超小型半導体装置を得る ことができる。

【0032】本実施形態では、次のような利点を有している。

【0033】(1) 従来のリードフレームと比較して、より細かなデザインルールのセラミックス製回路基板1 を用いることにより、且つスルーホール技術により内 部回路値下のセラミックス基板裏面に外部電極の設置が 可能なセラミックス回路基板11を用いることにより、 突出した外部リードを持たない、外部電極15が装置外 形均に収まった超小型の半準体装置が実現する。

[0034](2)内部回路及びこれの反対而に配置された外部電極とが規則的に複数個形成されたセラミックス製回路基度 11を用いることにより、従来のリードフレームを使用して単体処理する半導体装置と比較して、半導体装置数位における材料用用効率が飛躍的に向上し、低幅核の利率単準体が実現する。

【0035】(3)半導体素子12の裏面電極12bに 金・鍋合金曜12b-4を付加することにより、セラミ ックス製回路基板11への比較的低温での半導体素子 2の配置が可能となり、半等体素子12を複数個配置す る際の高温・長時間放置による半導体素子12の電気特 性の劣化を防止することができ、その後の高温・短時間 熱処理により、良好な電気特性を有する半導体装置が得 かれる。

[0036] なお、本勢別は図示の実態形態に限定され ず種々の変形が可能であり、例えば上記実態形態には、 半導体業子とレトランジスタを使用したが、 オオードであってもよい。ダイオードである場合は、そ の電極数に対抗して図5(a),(b)に示したセラミ ック製回縁を握11の回路パターンが変更される。

【0037】又、複数個のトランジスタや複数個のダイオードを搭載した半等体装置であってもよく、それぞれの電極数に対応して図5(a)、(b)に示したセラミック製回路基板11の回路パターンが変更される。

(0038)

【発明の効果】以上詳細に説明したように、請求項1匹 皷の発明に係る半導体素子によれば、半導体素子の裏面 電極に接合される部材に金メッキが施されていた場合 に、高温処型時において該裏面電極に対する前記金メッ その異常拡散により半導体素子の電気的特性が悪化する のを防止することが可能になる。

【0039】請求項2記載の発明に係る半導体装置によれば、半導体装置の超小型及び耐熱性を実現することができ、しかも半導体素子の裏面電極の最外面に形成した低酸点合金層により、高温処理時においてセラミックス

製回路基板の金属メッキからの半導体素子裏面電極に対 する異常拡散を阻止することができ、半導体素子の電気 的特性を良好に保つことが可能になる。これにより、半 導体装置の信頼性が向しする。

【0040】請求項3記載の発明に係る半導体装置によれば、半導体装置の超小型及び耐熱性を実現することができ、且つ請求項1記載の発明と同等の効果を得ることができる。

(0041) 請求項4配載の発明に係る半導体装置の製造方法によれば、上述した請求項3配載の発明の効果を有する半導体装置を簡単な製造方法で実現することが可能になる。即ち、半導体素子の裏面電極の最外面に金・錫合金の第4金属層が形成されていることにより、セラミックス製回路基板への比較的低温での半導体素子の配置が可能となり、半導体素子の電気制性の影響を発力を気制性の変化を発力を変しまり、半導体素子の電気制性の変化を発力を変しまり、半導体素子の電気制性の変化を発力を変しまり、半導体素子の電気制性の変化を発力を変しませない。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る半導体装置の構造 図である。

【図2】実施形態に係る半導体素子の断面構造図である。

【図3】実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図4】図3の続きの工程断面図である。

【図5】実施形態に係るセラミックス製回路基板の平面 図である。

【図6】従来の半導体装置の断面構造図である。

【図7】従来の他の半導体装置の断面構造図である。 【符号の説明】

11 セラミックス製回路基板

12 半導体素子

12a 表面電極

12b 裏面電極

12c シリコン基板

12b-1 第1金属層

12b-2 第2金属層

12b-3 第3金属層

12b-4 第4金属層

13a 素子搭載部

1 3 名 茶 ナ 拾 収 計

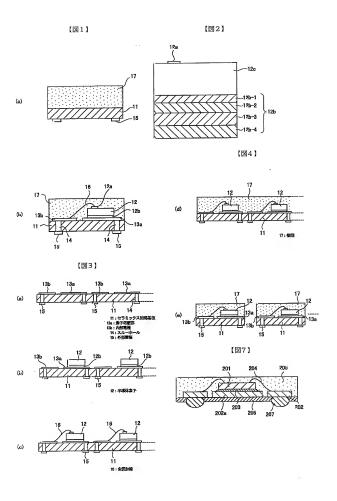
13b 内部電極

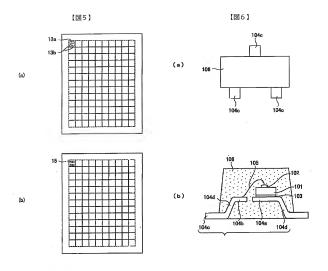
14 スルーホール 15 外部電極

1つ 万部電極

16 金属細線

17 高分子樹脂





# フロントページの続き

(72)発明者 松崎 隆

兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内

(72)発明者 高山 晋一

兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内

(72)発明者 和田 勇

兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内 (72) 発明者 亀渕 丈司

兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内

(72) 発明者 山本 学

兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路半導体工場内

F ターム(参考) 4M104 BB13 BB14 CC01 FF17 HH05 5F047 AA14 BA05 BC02 BC07 BC12

#### 【特許請求の範囲】

【請求項1】 シリコン基板の表裏両面に電極が形成された半導体素子において、

# 前記裏面側の電極は

前記シリコン基板の裏面に形成されたバナジウム又はチ タニウムの第1金属層と、前記第1金属層と積層被着さ れたニッケル又はニッケル合金の第2金属層と、前記第 2金属層に程層被着された金・ゲルマニウム・アンチモ ン合金の第3金属層と、前記第3金属層に積層被着された金・鍋合金の第4金属層とを有し、前記第4金属層を 電極最外面とする構造としたことを特徴とする半導体素 子。

【請求項2】 表面に形成された回路パターンがスルーホールを介して裏面の外部電極に接続されたセラミック ス製回路基度と、シリコン基板の表裏両面に電極が形成された半導体素子とを有し、前記セラミックス製回路基板の表面に形成された前距回路パターンの素子搭載部上に前配半導床子がその裏面で艦を介して接合された単導体素子の表面電路と金属細線を介して接合された半導体装置であって、

前記セラミックス製回商基板表面上の前記回路パターン 面には、表面層の酸化防止作用を有し且つ前記金属総線 と高密着性を寄する金属メッキ層が形成され、前配半導 体素子の裏面電極の電極最外面に、前配金属メッキ層の 異常拡散を阻止するための低胞点合金層を形成したこと を特徴とする半線体装置。

# 【請求項3】 前記半導体素子の前記裏面電極は、

前記シリコン基板の裏面に形成されたバナジウム又はチ タニウムの第1金馬層と、前記第1金馬層に積層被着さ れたニッケル又はニッケル合金の第2金馬層と、前記第 2金馬層に積層被着された金・ゲルマニウム・アンチモ ン合金の第3金馬層と、前記第3金馬層に積層被着された金・錫合金の第4金馬層とを有し、前記第4金属層を 市記低融点合金層とする構造であることを特徴とする請 求項2書類が半端体装置。

【請求項4】 表側には同一回路パターンを規則的に複数個形成し且つ歳側には表側の前記回路パターンにスルーボールを介して接続された電極を規則的に複数個形成したセラミックス製回路基板に、請求項1記載の半導体条子を還元性又は示活性雰囲気下の第1の温度で第1の時間に百り複数個配置し、

その後に前記複数個の半導体素子を配置したセラミック ス製回路基板を前記第1の温度よりも高い第2の温度で 第1の時間よりも短い第2の時間に亘り加熱し、

前記セラミックス製回路基板における前記回路パターン の内部電極と前記半導体素子の表面電極とを金属細線で 接続し、

前記複数個の半導体素子が配置され金属細線で接続されたセラミックス製回路基板の前記回路パターン形成面全

体を樹脂で封止し、これを個々の半導体装置に分割した ことを特徴とする半導体装置の製造方法。

### 【発明の詳細な説明】

#### [0001]

【発明の属する技術分野】本発明は、裏面電極を有する 半導体素子、この半導体素子を搭載した半導体装置、及 76前配半導体装置の製造方法に関する。

#### [0002]

【従来の技術】従来、ダイオードやトランジスタ等の個別半導体装置としては、例えば図6に示すようなものがあった。

【0003】図6(a),(b)は、従来の小信号トランジスタの構造を示す図であり、同図(a)はその平面図、同図(b)は断面図である。

【0004】同図に示すように、この半導体装置は、表面電極102と裏面電極103を有する半導体素子10 1が、リードンレーム104の素子指数部104 に裏面電極103を介して固定されている。さらに、半導体素子101の表面電極102とリードフレーム104のインナーリード104bとの間がAuやCu等の高無線 205で接続されて、これら全体がエボキシ等の高分子樹脂106で封止され、リードフレーム104のアウターリード104cが所定の形状に整形・切断された構造を成していた。

【0005】半導体素子101の裏面電極103は、バナジウム又はチタニウムと、ニッケル又はニッケル会とと、金・ゲルマニウム・アンチモン合金とから成る。この半導体素子101を、リードフレーム104の素子搭載部104aに還元性雰囲気下の高温(390℃程度)で配置し、半導体素子101の表面電極102とリードフレーム104のインナーリード104bとの間をAuやCu等の金属網線105で接続する。

【0006】しかる後に、これら全体をエポキシ等の高 分子樹脂106で封止し、リードフレーム104のアウ ターリード104 cに半田メッキや半田ディップ等の外 装処理を施し、所定の形状に整形・切断して、上記構造 の半導体装置を得ている。

#### [0007]

【発明が解決しようとする課題】しかしながら、上配従来の半導体装置では、半導体装置の信頼性(主に耐湿性)を維持するために、リードフレーム104のインナーリード104bに屈曲部104dを設ける必要があること、リードフレーム104の加工限界からインナーリード104bと素子搭載部104aとの間隔をほぼリードフレーム104板厚と同等以下にはできないこと、さらにアウターリード104cを有すること等の理由により、バッケージの超小型化を実現することができなかった。

【0008】そこで、半導体装置の小型化を図る観点から、図7に示すような構造が特開平9-275178号